

position of halving one region of the epitaxial layer 14 so as to reach the buried region 12, thereby forming a N^(sup +) region 18. A P-type impurity is diffused respectively into the halved regions to form P-type resistance regions 16, 16', and P^(sup +) regions 17, 17' are formed on both ends respectively. The regions 16, 16' become diffused resistors R_(sub 1), R_(sub 2)

12/7/14
 DIALOG(R) File 347:JAPIO
 (c) 2001 JPO & JAPIO. All rts. reserv.

02425317 **Image available**
 SEMICONDUCTOR INTEGRATED CIRCUIT

PUB. NO.: 63-042217 [JP 63042217 A]
 PUBLISHED: February 23, 1988 (19880223)
 INVENTOR(s): Irimoto Minoru
 APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
 (Japan)
 APPL. NO.: 61-186416 [JP 86186416]
 FILED: August 07, 1986 (19860807)

ABSTRACT

PURPOSE: To prevent an electrostatic breakdown of each element of the inside of an operating circuit, by inserting in *series* two pieces of *diode* elements to which a cathode terminal has been connected in common, between an input or output terminal part and a power source terminal part.

CONSTITUTION: An electrostatic breakdown strength (*ESD*) improving circuit 1 is formed by connecting an anode terminal of D1 of two pieces of *diode* elements D1, D2 to which a cathode terminal has been connected in common, to a power source terminal, and connecting an anode terminal of D2 to an input terminal. In a regular operating state, even in case an absolute rating within a guarantee range has been impressed, the *ESD* improving circuit 1 becomes a high impedance state, and it exerts no influence to a regular logical operation. In case an abnormal voltage has been applied to the input terminal by an electrostatic effect, the *ESD* improving circuit 1 is operated in a low impedance state, and the greater part of a discharge current flows through the *ESD* improving circuit 1 and operates so as to prevent a breakdown of each element in a TTL circuit of the inside.

12/7/15
 DIALOG(R) File 347:JAPIO
 (c) 2001 JPO & JAPIO. All rts. reserv. —

02114144 **Image available**
 OPTICAL HEAD

PUB. NO.: 62-031044 [JP 62031044 A]
 PUBLISHED: February 10, 1987 (19870210)
 INVENTOR(s): KARASAWA TADAO
 IKEGAME TETSUO
 APPLICANT(s): OLYMPUS OPTICAL CO LTD [000037] (A Japanese Company or Corporation), JP (Japan)

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭63-42217

⑤Int.Cl. ¹ H 03 K 19/088 H 01 L 27/06 H 03 K 17/08 19/003	識別記号 101	序内整理番号 8326-5J P-7373-5F 7190-5J 8326-5J	⑩公開 昭和63年(1988)2月23日 審査請求 未請求 発明の数 1 (全2頁)
--	-------------	--	---

④発明の名称 半導体集積回路

⑪特願 昭61-186416
 ⑪出願 昭61(1986)8月7日

⑫発明者 入本 稔 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑬出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑭代理人 弁理士 内原晋

明細書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

半導体集積回路の入力又は出力端子部と、電源端子部との間に、カソード端子を共通接続した2個のダイオード端子の直列回路の一方のアノード端子を該電源端子に接続し、他方のアノード端子を、該入力又は出力端子に接続した事を特徴とする半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路(以下ICと記す)に関するもので、特に、高速、高集積低電圧化の進んだ高性能集積回路において、高性能化達成の為により微細化したトランジスタ・ダイオード等の素子により構成されたことにより、ICにおける静電耐圧の低下が顕著化しているIC分野に関するもの

である。

(従来の技術)

前記したIC分野での静電耐圧(以下ESDと記す)改善の為の従来回路を第3図に示す。第3図は、TTL入力回路において1で示すESD改善回路を、入力端子と電源ライン間に接続したもので、入力部に静電効果により、異常電圧が印加された場合その静電電荷の放電電流の大半は1のダイオードを経由して電源ラインに流入させる様動作して内部のTTL入力回路内の各素子の破壊を防ぐよう構成されているものである。

(発明が解決しようとする問題点)

しかし、上記従来回路(第3図)では、通常論理動作時にも入力端子を、電源電圧よりダイオードのV_f分より高くすると、ダイオード1を介して電流が電源ラインへ流入し、入力端子部での高耐圧保証ができないという問題があった。

(問題点を解決するための手段)

本発明のICは、入力又は出力端子部と電源端子部との間に、カソード端子を共通接続した2個

のダイオード素子の直列回路を一方のダイオード素子のアノード端子を該電源端子に接続し、他方のダイオード素子のアノード端子を入力又は出力端子に接続した構造を持つものである。

〔実施例〕

次に、図面を参照して、本発明をより詳細に説明する。

第1図は本発明の一実施例でTTL入力回路を例に示したものである。ESD改善回路1はカソード端子を共通接続した2個のダイオード素子D1、D2のD1のアノード端子を、電源端子に接続しD2のアノード端子を入力端子に接続したものである。通常動作状態、保証範囲内の絶対定格が印加された場合でもESD改善回路1は高インピーダンス状態となり、通常論理動作に影響しない。また入力端子に静電効果により、異常電圧が印加された場合ESD改善回路1は低インピーダンス状態で動作し、放電電流の大部分は、ESD改善回路1を流れ内部のTTL回路内の各素子の破壊を防ぐよう動作する。

元ESD改善回路を挿入することにより、動作回路内部の各素子の破壊を防ぐ効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は本発明の他の実施例を示す回路図、第3図は従来の回路図である。

1 …… ESD改善回路。

代理人弁理士内原晋

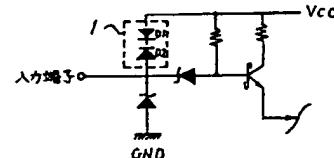
〔実施例2〕

第2図は本発明の他の実施例を示したもので、TTL出力回路にESD改善回路1を付けたものである。ESD改善回路1は、カソード端子を、共通接続した2個のダイオード素子の第1のアノード端子を電源端子に接続し、第2のアノード端子を、出力端子に接続したものである。第2図において通常動作状態、絶対定格が印加された場合、第1図と同様であり、ESD改善回路1は、高インピーダンス状態となり動作に影響しない。また出力端子に静電効果により異常電圧が印加された場合、ESD改善回路1は低インピーダンス状態となり、内部のTTL回路内の各素子の破壊を防ぐよう動作する。

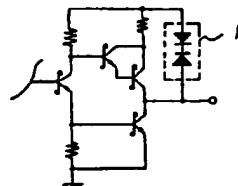
〔発明の効果〕

以上説明したように、本発明は、ICにおいてその入力又は出力端子部と電源端子部との間にカソード端子を共通接続した2個のダイオード素子の第1のアノード端子を該電源端子に接続し、第2のアノード端子を該入力又は出力端子に接続し

第1図



第2図



第3図

